

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2002年 8月20日

出願番号

Application Number: 特願2002-239629

[ST.10/C]:

[JP2002-239629]

出願人

Applicant(s): 富士通株式会社

2003年 1月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3104566

【書類名】 特許願
【整理番号】 0240409
【提出日】 平成14年 8月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
G11C 11/4094
【発明の名称】 半導体メモリ
【請求項の数】 9
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 清水 宏
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100072718
【弁理士】
【氏名又は名称】 古谷 史旺
【電話番号】 3343-2901
【手数料の表示】
【予納台帳番号】 013354
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9704947
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項1】 複数のスタティックメモリセル、前記スタティックメモリセルに接続されている第1ローカルビット線、および前記第1ローカルビット線の電圧を増幅する第1アンプを有する複数のメモリブロックと、

前記メモリブロックの第1アンプの出力に接続され、これ等第1アンプで増幅された読み出しデータを伝達する第1グローバルビット線と、

前記第1グローバルビット線の両端部にそれぞれ接続され、前記第1グローバルビット線を第1電源電圧にプリチャージするプリチャージ回路とを備えていることを特徴とする半導体メモリ。

【請求項2】 請求項1記載の半導体メモリにおいて、

前記第1電源電圧は、半導体メモリの外部から供給される外部電源電圧であることを特徴とする半導体メモリ。

【請求項3】 請求項1記載の半導体メモリにおいて、

前記プリチャージ回路は、プリチャージ動作時に変化する制御信号をゲートで受け、ドレインが前記第1グローバルビット線に接続され、ソースが第1電源電圧を供給する第1電源線に接続されている第1トランジスタを備えていることを特徴とする半導体メモリ。

【請求項4】 請求項3記載の半導体メモリにおいて、

前記第1アンプは、前記第1ローカルビット線の電圧をゲートで受け、ドレンが前記グローバルビット線に接続され、ソースが第2電源電圧を供給する第2電源線に接続されている第2トランジスタを備え、

前記プリチャージ回路の第1トランジスタと、前記第1アンプの第2トランジスタとは、極性が逆であることを特徴とする半導体メモリ。

【請求項5】 請求項1記載の半導体メモリにおいて、

前記第1アンプは、前記第1ローカルビット線の電圧をゲートで受け、ドレンが前記グローバルビット線に接続され、ソースが第2電源電圧を供給する第2電源線に接続されている第2トランジスタを備えていることを特徴とする半導体

メモリ。

【請求項6】 請求項1記載の半導体メモリにおいて、

前記スタティックメモリセルに接続され、前記第1ローカルビット線に伝達されるデータと相補のデータを伝達する第2ローカルビット線を備えていることを特徴とする半導体メモリ。

【請求項7】 請求項1記載の半導体メモリにおいて、

前記第1グローバルビット線は、前記メモリブロックの配列方向に沿って配線されていることを特徴とする半導体メモリ。

【請求項8】 請求項1記載の半導体メモリにおいて、

前記スタティックメモリセルへの書き込みデータを転送する第2グローバルビット線と、

前記第2グローバルビット線の電圧を増幅し、増幅したデータを前記第1ローカルビット線に出力する第2アンプとを備えていることを特徴とする半導体メモリ。

【請求項9】 請求項1記載の半導体メモリにおいて、

前記第1グローバルビット線は、前記第1ローカルビット線に平行に配線されていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スタティックメモリセルを有する半導体メモリに関する。特に本発明は、階層ビット線構造を有する半導体メモリに関する。

【0002】

【従来の技術】

半導体メモリの記憶容量は、トランジスタ構造の微細化に伴い大きくなっている。一方、マイクロコンピュータ等のロジックLSIの動作周波数は、トランジスタ構造の微細化に伴い向上してきている。このため、半導体メモリは、動作周波数を向上するために、アクセス時間の短縮を要求されている。DRAM等の半導体メモリでは、アクセス時間を短縮するために、ビット線を階層構造にしている

。近時、スタティックメモリセルを有する半導体メモリ（以下、SRAMと称する）においても、さらなる高速化の要求に対応するため、ビット線を階層構造にすることが検討されている。

【0003】

特開平9-246482号公報には、DRAMにおける階層ビット線構造の回路技術およびレイアウト技術が開示されている。

特開平5-128859号公報には、DRAMにおいて、読み出し用のビット線と書き込み用のビット線とをそれぞれ独立に形成した階層ビット線構造が開示されている。読み出し用のグローバルビット線は、トランジスタのドレインに接続されている。このトランジスタのゲートは、ローカルビット線に接続されている。グローバルビット線は、電源電圧VCCを負荷回路で降圧した回路内部降圧電圧にプリチャージされる。メモリセルに接続されているローカルビット線をトランジスタのゲートに接続する方式は、一般にダイレクトセンス方式と称されている。

【0004】

特開2001-67876号公報には、DRAMにおいて、ローカルビット線とグローバルビット線とをCMOS伝達ゲートを介して接続した階層ビット線構造が開示されている。グローバルビット線は、内部降圧電圧VDLにプリチャージされる。

ところで、DRAMは、データに応じた電荷をメモリセルに保持することでデータを記憶する。メモリセルの蓄積電荷は、メモリセルのアクセス時に、ビット線に再分配される。センスアンプは、ビット線の微少な電圧変化を増幅する。DRAMでは、ビット線のわずかな電圧変化をセンスアンプで検出するために、メモリセルのアクセス時にノイズの影響を受けやすい。このため、例えば、グローバルビット線のプリチャージ電圧を電源電圧より低い内部降圧電圧することで、ビット線への電源ノイズ等の影響を小さくしている。

【0005】

SRAMのメモリセルは、フリップフロップで構成されている。フリップフロップは、メモリセルに書き込まれたデータ（論理”1”または論理”0”）を、例えば、電源電圧または接地電圧として記憶する。フリップフロップは、メモリセルのアクセス時に、記憶している電源電圧または接地電圧を、ビット線に直接出力する

。このため、SRAMでは、DRAMに比べ電源ノイズの影響を受けにくく、プリチャージ電圧を電源電圧にしても誤動作することはない。

【0006】

【発明が解決しようとする課題】

特開平5-128859号公報に開示された階層ビット線構造（ダイレクトセンス方式）では、グローバルビット線には、負荷回路（プリチャージ回路）からメモリセルに向けて一方向にのみ電流が流れる。電流が一方向に流れる配線のエレクトロマイグレーションの評価基準は、電流が双方向に流れる配線の基準に比べ厳しい。換言すれば、電流が一方向に流れる配線の方が、電流が双方向に流れる配線よりエレクトロマイグレーションによる断線が起きやすい。

【0007】

しかし、DRAMでは、グローバルビット線に内部降圧電圧が供給される。このため、通常の配線幅であれば、エレクトロマイグレーションは問題にならない。一方、グローバルビット線が電源電圧にプリチャージされるSRAMでは、グローバルビット線を流れる電流は、DRAMに比べて大きい。このため、SRAMにダイレクトセンス方式の階層ビット線構造を採用する場合、すなわち、電流が一方向に流れるグローバルビット線を形成する場合、エレクトロマイグレーションによる断線を防止するために、グローバルビット線の配線幅を従来より広くする必要がある。

【0008】

一般に、SRAMのデータ端子は、8ビット、または、16、32、64、72、144、288ビット等の広いビット幅で構成されている。チップ内のグローバルビット線の本数は、データ端子のビット数に依存して多くなる。このため、グローバルビット線の配線幅を広くすると、チップサイズが増加し、チップコストが増加するという問題があった。

【0009】

本発明の目的は、スタティックメモリセルに接続されるビット線のエレクトロマイグレーションによる不良を防止することにある。

本発明の別の目的は、スタティックメモリセルを有する半導体メモリのチップサイズを削減することにある。

【0010】

【課題を解決するための手段】

請求項1の半導体メモリでは、各メモリブロックは、複数のスタティックメモリセル、第1ローカルビット線および第1アンプを有している。第1ローカルビット線は、これ等スタティックメモリセルに接続されている。第1アンプは、第1ローカルビット線の電圧を増幅する。第1グローバルビット線は、メモリブロックの第1アンプの出力に接続され、これ等第1アンプで増幅された読み出しデータを伝達する。第1グローバルビット線を第1電源電圧にプリチャージするプリチャージ回路は、第1グローバルビット線の両端部にそれぞれ接続されている。

【0011】

第1グローバルビット線には、両端部のプリチャージ回路からプリチャージ電流がそれぞれ供給される。プリチャージ電流は、第1グローバルビット線の双方に向かって流れ、このため、電流が双方向に流れる場合のエレクトロマイグレーションの評価基準に従って第1グローバルビット線を設計できる。換言すれば、電流が一方向に流れる場合のエレクトロマイグレーションの評価基準（プリチャージ回路をグローバルビット線の一端に接続した場合）に比べ、緩い基準で設計できるため、第1グローバルビット線のエレクトロマイグレーションによる不良を防止できる。また、上述と同様に緩い評価基準で設計できるため、第1グローバルビット線の配線幅を細くでき、レイアウト領域を最小限にできる。この結果、半導体メモリのチップサイズを削減でき、チップコストを削減できる。

【0012】

請求項2の半導体メモリでは、プリチャージ回路は、第1グローバルビット線を、半導体メモリの外部から供給される外部電源電圧にプリチャージする。第1電源電圧（プリチャージ電圧）を生成する回路を半導体メモリに形成する必要がなくなるため、半導体メモリのチップサイズを削減できる。

請求項3の半導体メモリでは、プリチャージ回路は、第1トランジスタを有している。第1トランジスタは、プリチャージ動作時に変化する制御信号をゲートで受け、ドレインが第1グローバルビット線に接続され、ソースが第1電源電圧

を供給する第1電源線に接続されている。プリチャージ回路は、プリチャージ動作時に変化する制御信号に応じて第1グローバルビット線を第1電源線に接続する。プリチャージ回路をトランジスタにより構成することで、プリチャージ回路のレイアウトサイズを最小限にでき、半導体メモリのチップサイズを削減できる。

【0013】

請求項4および請求項5の半導体メモリでは、第1アンプは、第2トランジスタを有している。第2トランジスタは、第1ローカルビット線の電圧をゲートで受け、ドレインがグローバルビット線に接続され、ソースが第2電源電圧を供給する第2電源線に接続されている。第1アンプは、第1ローカルビット線の電圧を增幅し、増幅した電圧を第1グローバルビット線に接続する。すなわち、第1アンプによりダイレクトセンス方式の読み出し回路が形成されている。

【0014】

したがって、スタティックメモリセルを有し、ダイレクトセンス方式の階層ビット線構造を採用する半導体メモリにおいて、第1グローバルビット線のエレクトロマイグレーションによる不良を防止できる。また、第1グローバルビット線のレイアウト領域を最小限にできる。この結果、半導体メモリのチップサイズを削減でき、チップコストを削減できる。

【0015】

請求項4において、例えば、グローバルビット線は、第1トランジスタを介して充電（プリチャージ）されて第1電源電圧に変化し、スタティックメモリセルの記憶値に応じて第2トランジスタを介して放電されて第2電源電圧に変化する。第1トランジスタと第2トランジスタとの極性を逆にすることで、グローバルビット線の電圧を第1電源電圧および第2電源電圧に確実に変化させることができ、スタティックメモリセルに記憶されているデータを高速に読み出すことができる。また、プリチャージ電圧と読み出し電圧の電圧差を大きくすることで、データの誤読み出しを防止できる。

【0016】

請求項6の半導体メモリでは、スタティックメモリセルに接続されている第2

ローカルビット線は、第1ローカルビット線に伝達されるデータと相補のデータを伝達する。すなわち、第1および第2ローカルビット線により相補のビット線が形成されており、スタティックメモリセルは、第1および第2ローカルビット線の両方に接続されている。このため、相補のローカルビット線の一方でグローバルビット線を接続するだけで、データを読み出すことができる。グローバルビット線をペアで構成する必要がないため、半導体メモリのチップサイズが増加することを防止できる。

【0017】

請求項7の半導体メモリでは、第1グローバルビット線は、メモリブロックの配列方向に沿って配線されている。このため、第1グローバルビット線の配線長を最小限にでき、配線負荷を減らすことができる。この結果、プリチャージ動作および読み出し動作において、第1グローバルビット線の電圧の変化時間を短くでき、半導体メモリのアクセス時間を短縮できる。また、レイアウト設計が容易になる。

【0018】

請求項8の半導体メモリでは、第2グローバルビット線は、スタティックメモリセルへの書き込みデータを転送する。第2アンプは、第2グローバルビット線の電圧を增幅し、増幅したデータを第1ローカルビット線に出力する。したがって、読み出し用のグローバルビット線と書き込み用のグローバルビット線が、独立に形成される半導体メモリにおいても、第1グローバルビット線のエレクトロマイグレーションによる不良を防止できる。また、第1グローバルビット線のレイアウト領域を最小限にできる。

【0019】

請求項9の半導体メモリでは、前記第1グローバルビット線は、前記第1ローカルビット線に平行に配線されている。このため、第1グローバルビット線の配線長を最小限にでき、配線負荷を減らすことができる。この結果、プリチャージ動作および読み出し動作において、第1グローバルビット線の電圧の変化時間を短くでき、半導体メモリのアクセス時間を短縮できる。また、レイアウト設計が容易になる。

【0020】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本で構成されていることを示している。頭に"/"が付く信号は、負論理を示している。図中の二重丸は、外部端子を示している。以降の説明では、"チップセレクト信号"を"/CS信号"というように、信号名を略して表す場合がある。

図1は、本発明の半導体メモリの第1の実施形態を示している。この半導体メモリは、シリコン基板上にCMOSプロセスを使用してSRAMとして形成されている。

【0021】

SRAMは、コマンドバッファ10、アドレスバッファ12、データ入出力バッファ14、動作制御回路16、アドレスデコーダ18、20およびメモリコア22を有している。

コマンドバッファ10は、外部からコマンド信号（チップセレクト信号/CS、書き込みイネーブル信号/WEおよび出力イネーブル信号/OE）を受信する。アドレスバッファ12は、アドレス端子を介してアドレス信号ADを受信し、受信した信号をロウアドレス信号RAD（上位アドレス）およびコラムアドレス信号CAD（下位アドレス）として出力する。

【0022】

データ入出力バッファ14は、読み出し動作時にメモリコア22からの読み出しデータをデータバスDBを介して受信し、受信したデータをデータ端子DQに出力し、書き込み動作時に書き込みデータをデータ端子DQを介して受信し、受信したデータをデータバスDBに出力する。この例では、8個のデータ端子DQ（DQ0-7）が形成されている。

【0023】

動作制御回路16は、コマンドバッファ10から供給されるコマンド信号を解読し、メモリコア22を動作させるための制御信号を出力する。アドレスデコーダ18は、ロウアドレス信号RADをデコードし、デコード信号RAD2として出力する。アドレスデコーダ20は、コラムアドレス信号CADをデコードし、デコード信号CAD2として出力する。

【0024】

メモリコア22は、メモリセルアレイARY、ワードデコーダWDEC、コラムデコーダCDECおよび入出力制御回路I/Oを有している。ワードデコーダWDECは、アドレスデコーダ18からのデコード信号RAD2に応じて、後述するワード線WLのいずれかを駆動（選択）する。コラムデコーダCDECは、アドレスデコーダ20からのデコード信号CAD2に応じて後述するメモリセルMCのいずれかをデータバスDBに接続する。入出力制御回路I/Oは、コマンド信号に応じて動作し、データ信号をメモリセルアレイARYに出力し（書き込み動作）、あるいはデータ信号をデータ入出力バッファ14に出力する（読み出し動作）。

【0025】

図2は、図1に示したメモリセルアレイARYの詳細を示している。

メモリセルアレイARYは、マトリックス状に配置された複数のメモリブロックBLK (BLK0-7) を有している。メモリブロックBLK0-7は、データ端子DQ0-7にそれぞれ対応している。各メモリブロックBLKは、複数のスタティックタイプのメモリセルMC（スタティックメモリセル）を有している。メモリブロックBLK0-7の構造およびこれ等メモリブロックBLK0-7に接続される制御回路は、同じである。このため、以降、データ端子DQ0に対応するメモリブロックBLK0について説明する。

【0026】

メモリブロックBLK0は、図の縦方向に沿って一列に配置されている。メモリブロックBLK1-7も図の縦方向に沿って一列に配置されている。各メモリブロックBLK0のメモリセルMCは、相補のローカルビット線/LBL0、LBL0 (/LBL0 : 第1ローカルビット線、LBL0 : 第2ローカルビット線) に接続されている。ローカルビット線/LBL0、LBL0は、アルミニウムまたは銅等の材料を使用して形成されている。

メモリセルMCは、ワード線WL (WL0-511) にそれぞれ接続されている。

【0027】

ローカルビット線/LBL0は、CMOSインバータを介してnMOSトランジスタ24（第2トランジスタ）のゲートに接続されている。nMOSトランジスタ24は、ソースを接地電圧（第2電源電圧）が供給される接地線VSS（第2電源線）に接続し

、ドレインを読み出しデータが伝達されるグローバルビット線RGBL0に接続している。ローカルビット線/LBL0と、グローバルビット線RGBL0と、ローカルビット線/LBL0をゲートに接続しグローバルビット線RGBL0をドレインに接続したnMOSトランジスタ24により、ダイレクトセンスアンプ方式の階層ビット線構造が形成されている。nMOSトランジスタ24は、ローカルビット線/LBL0の電圧を増幅するセンスアンプ（第1アンプ）として機能する。

【0028】

ローカルビット線LBL0、/LBL0は、nMOSトランジスタ26、28のドレインにそれぞれ接続されている。nMOSトランジスタ26、28のゲートは、書き込みデータが伝達されるグローバルビット線/WGBL0、WGBL0にそれぞれ接続されている。nMOSトランジスタ26、28のソースは、接地線VSSに接続されている。

グローバルビット線RGBL0（第1グローバルビット線）は、メモリブロックBLK0の配列方向に沿って配線されている。また、グローバルビット線RGBL0は、ローカルビット線LBL0、/LBL0に平行に配線されている。グローバルビット線RGBL0は、アルミニウムまたは銅等の材料を使用して形成されている。メモリセルMCは、ワード線WL（WL0-511）にそれぞれ接続されている。グローバルビット線RGBL0における図の上下方向の両端部には、プリチャージ回路30、32がそれぞれ接続されている。各プリチャージ回路30、32は、ゲートでプリチャージ信号/PRE（制御信号）を受け、ソースを外部電源電圧（第1電源電圧、外部電源電圧）が供給される外部電源線VDD（第1電源線）に接続し、ドレインをグローバルビット線RGBL0に接続したpMOSトランジスタ30a、32a（第1トランジスタ）をそれぞれ有している。グローバルビット線RGBL0は、図1に示したコラムデコーダCDECにより制御されるコラムスイッチCSWおよびインバータを介して読み出しデータバスDOUT0に接続されている。読み出しデータバスDOUT0は、図1に示した入出力制御回路I/Oを介してデータバスDBに接続されている。

【0029】

グローバルビット線WGBL0、/WGBL0（第2グローバルビット線）は、メモリブロックBLK0の配列方向に沿って配線されている。グローバルビット線WGBL0、/WG BL0は、アルミニウムまたは銅等の材料を使用して形成されている。グローバル

ビット線WGBL0、/WGBL0は、コラムスイッチCSWおよびインバータを介して書き込みデータバス/DIN0、DIN0にそれぞれ接続されている。書き込みデータバス/DIN0、DIN0は、図1に示した入出力制御回路I/Oを介してデータバスDBに接続されている。

【0030】

ローカルビット線/LBL0と、グローバルビット線WGBL0と、グローバルビット線WGBL0をゲートに接続しローカルビット線/LBL0をドレインに接続したnMOSトランジスタ26とにより、ダイレクトセンスアンプ方式の階層ビット線構造が形成されている。同様に、ローカルビット線LBL0と、グローバルビット線/WGBL0と、グローバルビット線/WGBL0をゲートに接続しローカルビット線/LBL0をドレインに接続したnMOSトランジスタ28とにより、ダイレクトセンスアンプ方式の階層ビット線構造が形成されている。nMOSトランジスタ26、28は、グローバルビット線WGBL0、/WGBL0の電圧をそれぞれ増幅するセンスアンプ（第2アンプ）として機能する。

【0031】

図3は、図2に示したメモリセルMCの詳細を示している。メモリセルMCは、2つの転送トランジスタTT、2つの駆動トランジスタDTおよび2つの負荷トランジスタLTを有している。転送トランジスタTTおよび駆動トランジスタDTは、nMOSトランジスタで構成され、負荷トランジスタLTは、pMOSトランジスタで構成されている。

【0032】

負荷トランジスタLTおよび駆動トランジスタDTにより、入力と出力とが互いに接続された2つのCMOSインバータが形成されている。負荷トランジスタLTのソースは、電源線VDDに接続されている。駆動トランジスタDTのソースは、接地線VSSに接続されている。転送トランジスタTTは、CMOSインバータの入力をローカルビット線/LBL、LBL（/LBL0、1、...、LBL0、1、...）にそれぞれ接続している。転送トランジスタTTのゲートは、ワード線WL（WL0、1、...）に接続されている。すなわち、メモリセルMCは、一般的の6トランジスタタイプのSRAMのメモリセルである。

【0033】

上述したSRAMでは、図2に示したように、読み出し用のグローバルビット線RGBLの両端にプリチャージ回路30、32がそれぞれ接続されている。このため、メモリセルMCからデータを読み出す読み出し動作およびグローバルビット線RGBLに電源電圧VDDを供給するプリチャージ動作において、グローバルビット線RGBLに流れる電流は、図に太い矢印で示したように双方向になる。したがって、グローバルビット線RGBLに対するエレクトロマイグレーションの評価基準は、電流が双方向に流れる場合になる。エレクトロマイグレーション基準は、電流を一方向のみに流す場合に比べ緩くなるため、グローバルビット線RGBLに流れる電流量を相対的に大きくできる。具体的には、電流を一方向のみに流す場合に比べ、最大電流を数倍にできる。電流が増えることで、プリチャージ動作期間が短くなるため、サイクル時間を短縮できる。電流量を増やす必要がない場合には、グローバルビット線RGBLの配線幅を狭くできる。この結果、メモリセルアレイARYのレイアウトサイズを小さくできる。

【0034】

図4は、第1の実施形態の発明との比較例を示している。

図4では、グローバルビット線RGBLにおけるコラムスイッチCSW側の一端にプリチャージ回路32のみが接続されている。この場合、読み出し動作およびプリチャージ動作において、グローバルビット線RGBLに流れる電流は、常に太線で示した矢印の方向になる。このため、グローバルビット線RGBLに対するエレクトロマイグレーションの評価基準は、第1の実施形態（図2）に比べ厳しくなる。この結果、図4では、グローバルビット線RGBLの配線幅を広げなくてはならず、メモリセルアレイARYのレイアウトサイズが大きくなる。SRAM等の半導体メモリでは、メモリセルアレイARYは、チップ面積のほとんどを占めている。このため、メモリセルアレイARYの面積が大きくなると、チップサイズが増加し、チップコストが増大してしまう。換言すれば、第1の実施形態では、階層ビット線構造にダイレクトセンス方式を採用した場合にも、チップサイズが増加することを防止できる。

【0035】

以上、本実施形態では、グローバルビット線RGBLの両端部にプリチャージ回路30、32をそれぞれ形成した。このため、プリチャージ電流をグローバルビット線RGBLに双方向に流すことができ、エレクトロマイグレーションの評価基準を緩くできる。特に、ダイレクトセンス方式の階層ビット線構造を採用するSRAMにおいて、グローバルビット線RGBLのエレクトロマイグレーションによる不良を防止できる。

【0036】

評価基準の緩和に伴いグローバルビット線RGBLの配線幅を細くすることで、レイアウト領域を最小限にできる。この結果、SRAMのチップサイズを削減でき、チップコストを削減できる。

グローバルビット線RGBLにプリチャージする電圧を外部電源電圧VDDにしたので、プリチャージ電圧を生成する回路をSRAMに形成する必要がなくなる。したがって、SRAMのチップサイズを削減できる。プリチャージ回路30、32を、pMOSトランジスタ30a、32aで構成したので、プリチャージ回路30、32のレイアウトサイズを最小限にでき、SRAMのチップサイズを削減できる。

【0037】

グローバルビット線RGBLを、プリチャージ動作時にpMOSトランジスタ30a、32aを介して充電し、読み出し動作時にnMOSトランジスタ24を介して放電した。このため、グローバルビット線RGBLを、電源電圧VDDおよび接地電圧VSSに確実に変化させることができ、メモリセルMCに記憶されているデータを高速に読み出すことができる。

【0038】

相補のローカルビット線/LBL、LBLが形成される場合にも、ローカルビット線/LBLのみにグローバルビット線RGBLを接続することで、メモリセルMCのデータを読み出すことができる。グローバルビット線RGBLをペアで構成する必要がないため、SRAMのチップサイズが増加することを防止できる。

グローバルビット線RGBLを、メモリブロックBLKの配列方向に沿って配線した。また、グローバルビット線RGBLを、ローカルビット線LBL0、/LBL0に平行に配線した。このため、グローバルビット線RGBLの配線長を最小限にでき、配線負荷

を減らすことができる。この結果、プリチャージ動作および読み出し動作において、グローバルビット線RGBLの電圧の変化時間を短くでき、SRAMのアクセス時間を見縮めることができる。また、レイアウト設計が容易になる。

【0039】

読み出し用のグローバルビット線RGBLと書き込み用のグローバルビット線WGBL、/WGBLが、独立に形成されるSRAMにおいても、グローバルビット線RGBLのエレクトロマイグレーションによる不良を防止できる。

図5は、本発明の半導体メモリの第2の実施形態におけるメモリセルアレイを示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0040】

この実施形態では、ローカルビット線LBL0に対応するグローバルビット線/RGBL0（第1グローバルビット線）が、メモリブロックBLK0の配列方向に沿って配線されている。また、グローバルビット線/RGBL0は、ローカルビット線LBL0、/LBL0に平行に配線されている。グローバルビット線/RGBL0における図の上下方向の両端部には、プリチャージ回路30、32がそれぞれ接続されている。グローバルビット線RGBL0は、アルミニウムまたは銅等の材料を使用して形成されている。図示しない他のメモリブロックBLK1-7についても、同様にグローバルビット線/RGBL1-7（図示せず）が配線されている。

【0041】

ローカルビット線LBL0は、CMOSインバータを介してnMOSトランジスタ34（第2トランジスタ）のゲートに接続されている。nMOSトランジスタ34は、ソースを接地線VSS（第2電源線）に接続し、ドレインを読み出しデータが伝達されるグローバルビット線/RGBL0に接続している。ローカルビット線LBL0と、グローバルビット線/RGBL0と、ローカルビット線LBL0をゲートに接続しグローバルビット線/RGBL0をドレインに接続したnMOSトランジスタ34とにより、ダイレクトセンスアンプ方式の階層ビット線構造が形成されている。nMOSトランジスタ34は、ローカルビット線LBL0の電圧を増幅するセンスアンプ（第1アンプ）として機能する。

【0042】

図5のその他の構成は、第1の実施形態（図2）と同じである。また、SRAM全体の構成は、第1の実施形態（図1）と同じである。

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0043】**【発明の効果】**

請求項1の半導体メモリでは、電流が双方向に流れる場合のエレクトロマイグレーションの評価基準に従って第1グローバルビット線を設計できる。緩い評価基準で設計できるため、第1グローバルビット線のエレクトロマイグレーションによる不良を防止できる。第1グローバルビット線の配線幅を細くでき、レイアウト領域を最小限にできる。この結果、半導体メモリのチップサイズを削減でき、チップコストを削減できる。

【0044】

請求項2の半導体メモリでは、第1電源電圧（プリチャージ電圧）を生成する回路を半導体メモリに形成する必要がなくなるため、半導体メモリのチップサイズを削減できる。

請求項3の半導体メモリでは、プリチャージ回路のレイアウトサイズを最小限にでき、半導体メモリのチップサイズを削減できる。

【0045】

請求項4および請求項5の半導体メモリでは、スタティックメモリセルを有し、ダイレクトセンス方式の階層ビット線構造を採用する半導体メモリにおいて、第1グローバルビット線のエレクトロマイグレーションによる不良を防止できる。また、第1グローバルビット線のレイアウト領域を最小限にできる。この結果、半導体メモリのチップサイズを削減でき、チップコストを削減できる。

【0046】

請求項4においては、スタティックメモリセルに記憶されているデータを高速に読み出すことができる。また、プリチャージ電圧と読み出し電圧の電圧差を大きくすることで、データの誤読み出しを防止できる。

請求項6の半導体メモリでは、グローバルビット線をペアで構成する必要がないため、半導体メモリのチップサイズが増加することを防止できる。

【0047】

請求項7および請求項9の半導体メモリでは、プリチャージ動作および読み出し動作において、第1グローバルビット線の電圧の変化時間を短くでき、半導体メモリのアクセス時間を短縮できる。また、レイアウト設計が容易になる。

請求項8の半導体メモリでは、読み出し用のグローバルビット線と書き込み用のグローバルビット線が、独立に形成される半導体メモリにおいても、第1グローバルビット線のエレクトロマイグレーションによる不良を防止できる。また、第1グローバルビット線のレイアウト領域を最小限にできる。

【図面の簡単な説明】

【図1】

本発明の半導体メモリの第1の実施形態を示すブロック図である。

【図2】

図1に示したメモリセルアレイの詳細を示すブロック図である。

【図3】

図2に示したメモリセルの詳細を示す回路図である。

【図4】

第1の実施形態の発明との比較例を示すブロック図である。

【図5】

本発明の半導体メモリの第2の実施形態におけるメモリセルアレイを示すブロック図である。

【符号の説明】

10 コマンドバッファ

12 アドレスバッファ

14 データ入出力バッファ

16 動作制御回路

18、20 アドレスデコーダ

22 メモリコア

24 nMOSトランジスタ（第2トランジスタ、第1アンプ）

34 nMOSトランジスタ（第2トランジスタ、第1アンプ）

26、28 nMOSトランジスタ（第2アンプ）

30、32 プリチャージ回路

30a、32a pMOSトランジスタ（第1トランジスタ）

ARY メモリセルアレイ

BLK メモリブロック

DB データバス

CDEC コラムデコーダ

CSW コラムスイッチ

DQ データ端子

I/O 入出力制御回路

LBL ローカルビット線（第2ローカルビット線）

/LBL ローカルビット線（第1ローカルビット線）

MC メモリセル

RGBL、/RGBL グローバルビット線（第1グローバルビット線）

VDD 外部電源線（第1電源線）、外部電源電圧（第1電源電圧）

VSS 接地線（第2電源線）

WDEC ワードデコーダ

WGBL、/WGBL グローバルビット線（第2グローバルビット線）

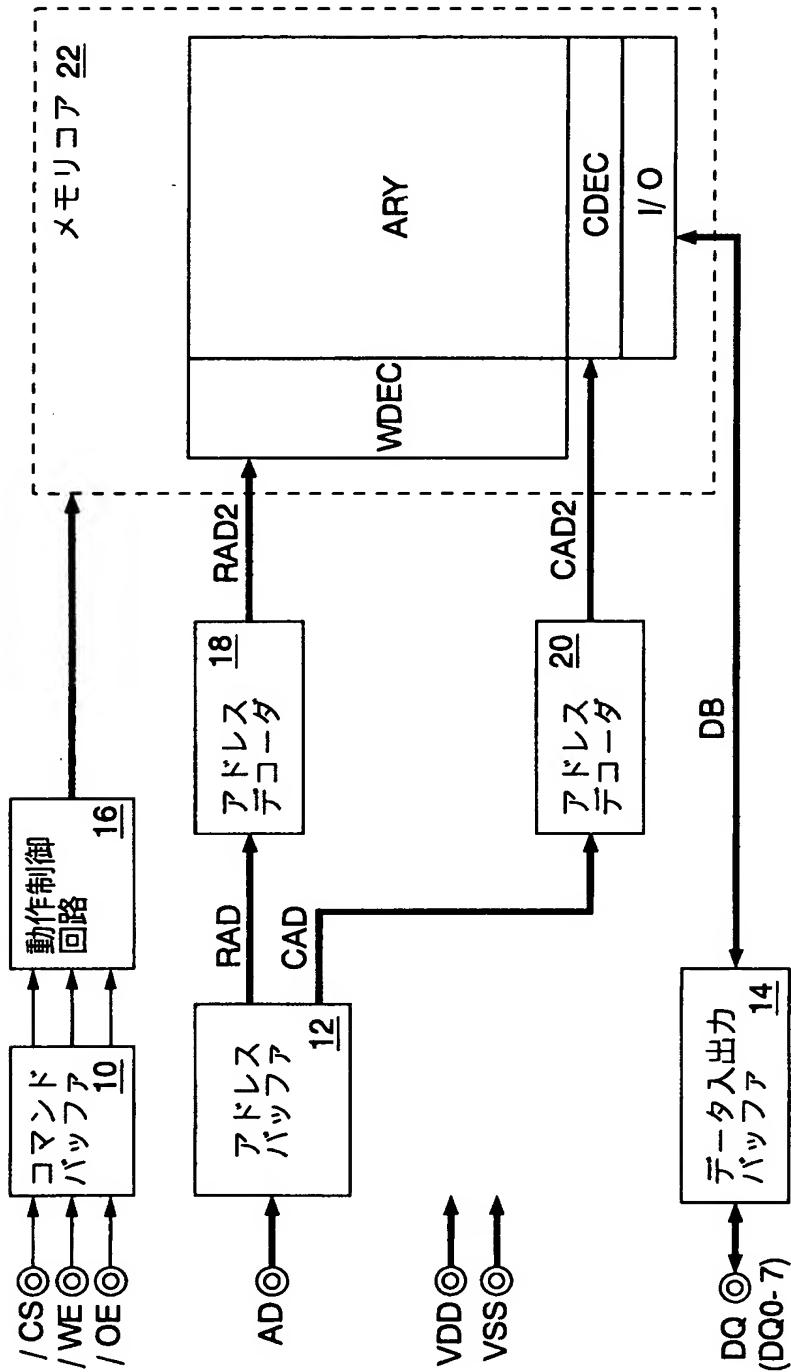
WL (WL0-511) ワード線

【書類名】

図面

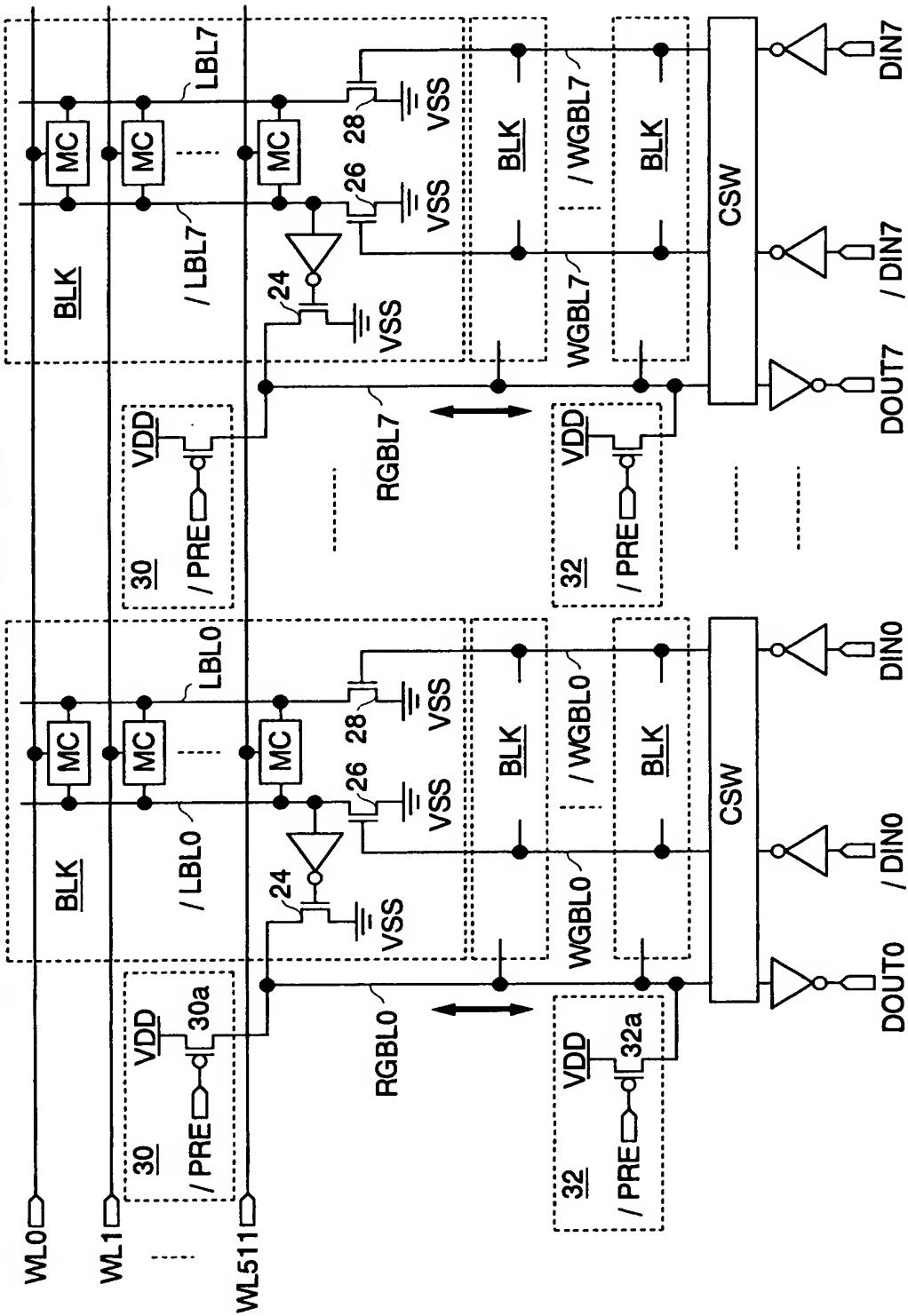
【図1】

第1の実施形態を示すブロック図



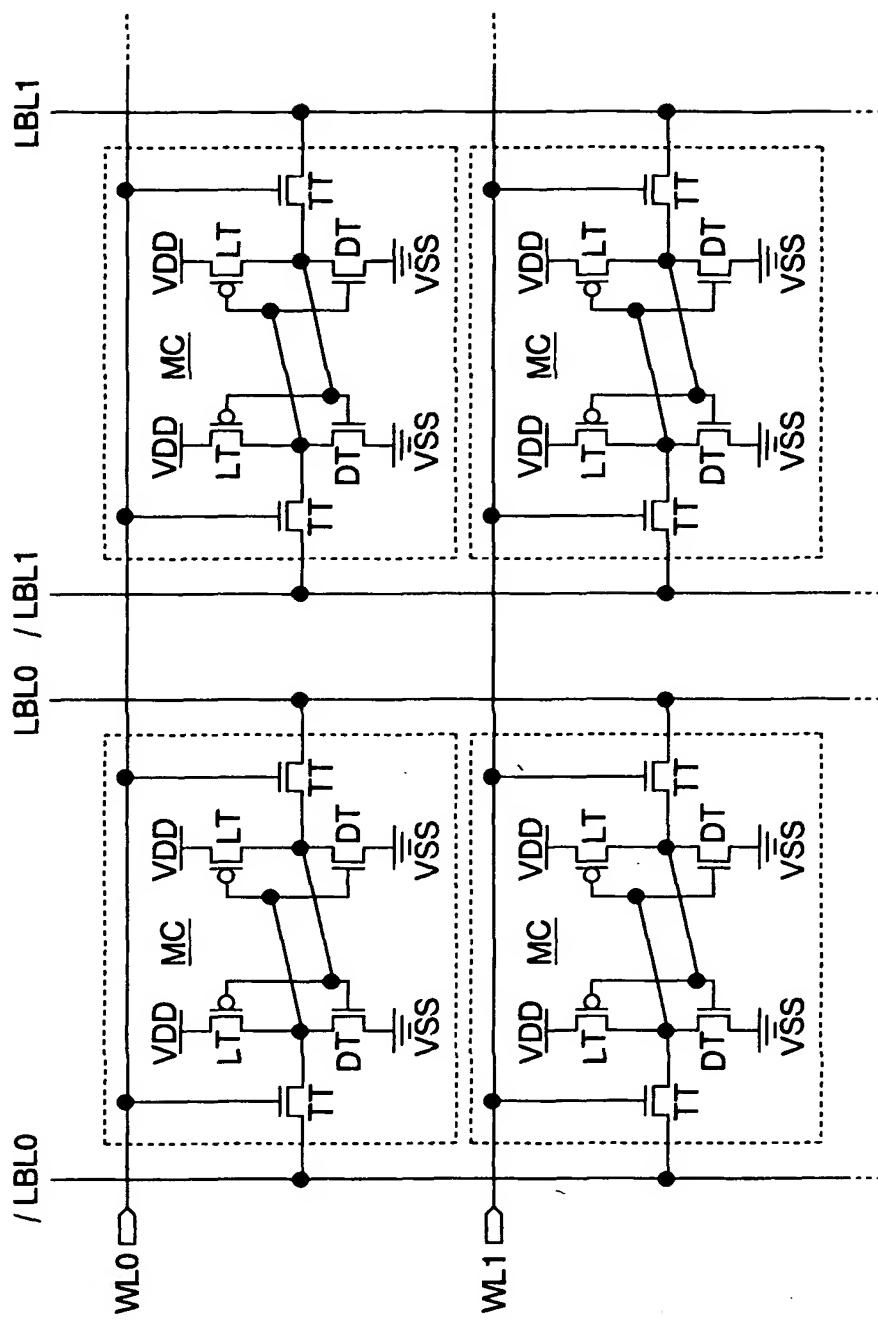
【図2】

第1の実施形態のメモリセルアレイの詳細を示すブロック図

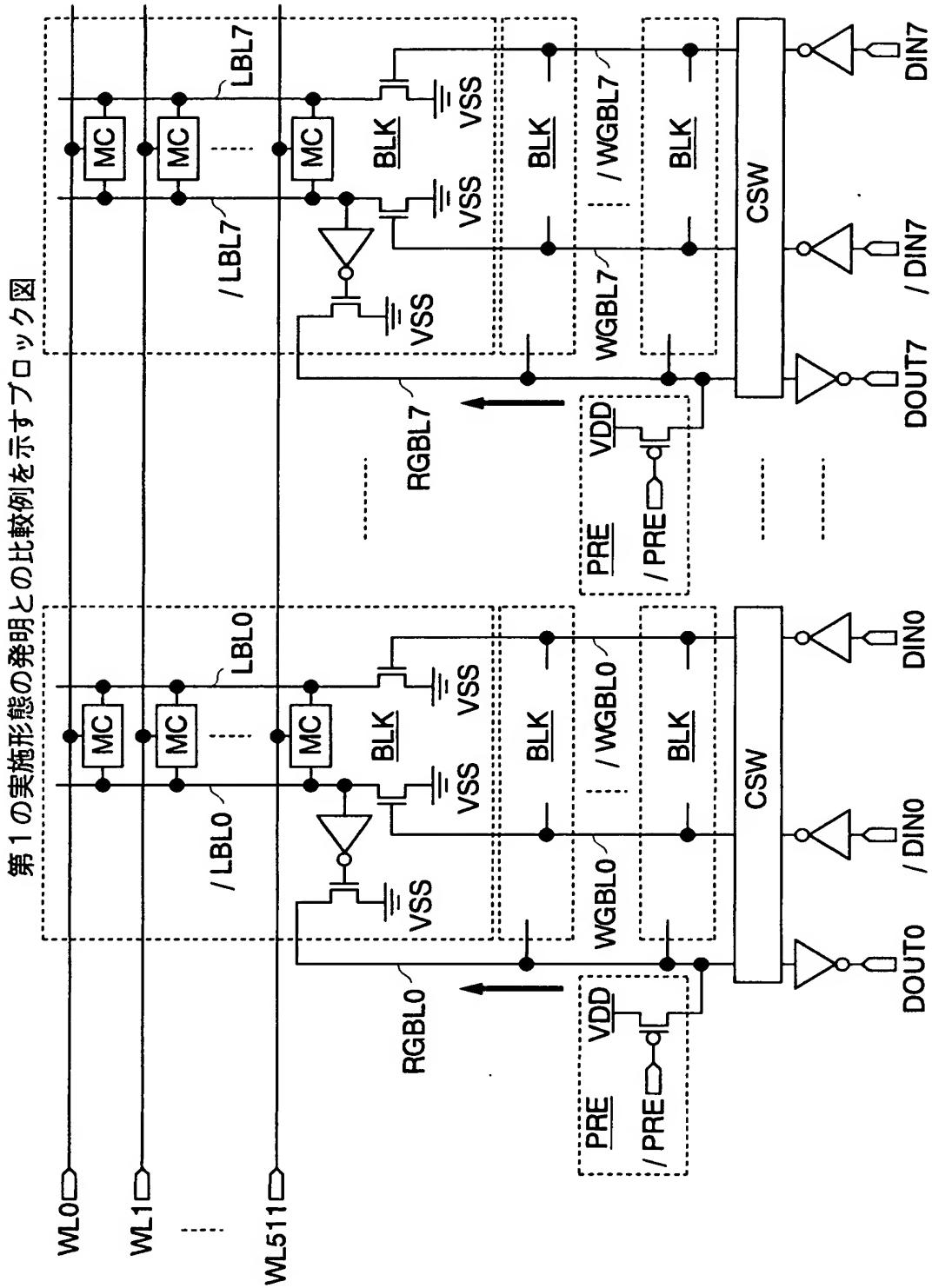


【図3】

図2のメモリセルの詳細を示す回路図

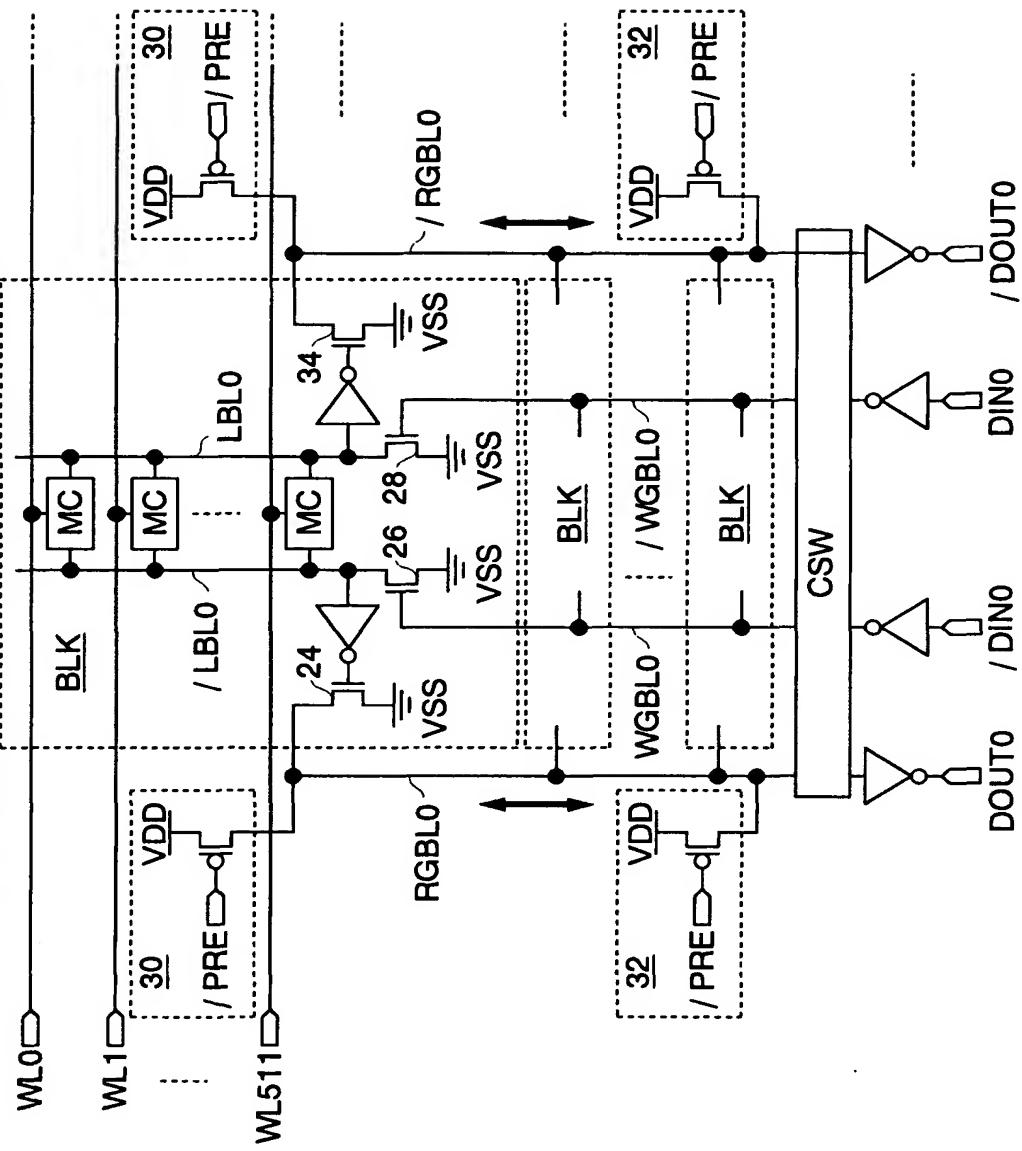


【図4】



【図5】

第2の実施形態のメモリセルアレイの詳細を示すブロック図



【書類名】 要約書

【要約】

【課題】 スタティックメモリセルに接続されるピット線のエレクトロマイグレーションによる不良を防止する。

【解決手段】 第1アンプは、スタティックメモリセルに接続されている第1ローカルピット線の電圧を増幅する。第1アンプの出力に接続されている第1グローバルピット線をプリチャージするプリチャージ回路は、第1グローバルピット線の両端部からプリチャージ電流をそれぞれ供給する。プリチャージ電流が第1グローバルピット線の双方向に流れるため、電流が一方向に流れる場合に比べ、エレクトロマイグレーションの評価基準を緩くできる。このため、第1グローバルピット線のエレクトロマイグレーションによる不良を防止できる。第1グローバルピット線の配線幅を細くできるため、レイアウト領域を最小限にできる。この結果、半導体メモリのチップサイズを削減でき、チップコストを削減できる。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社